

Effiziente Verifikation zur Absicherung der Fertigungsqualität während der kritischen Einführung neuer Halbleiter

Mit Flying-Probe komplexe DUT-Boards optimal prüfen

Antun Vukcic, Siemens AG; Wolfgang Ohr, Spea



Bild 1: Testsystem für Mixed Signal- und Leistungsbauteile, im Testhead befinden sich 16 universell belegbare Kartenslots, in der Mainframe die Instrumente und Leistungsmodule (SPEA)

Weil ICs mittlerweile häufig komplette Systeme umfassen, für die man früher komplette Geräteracks belegte, ist natürlich ihre Qualität und Zuverlässigkeit auch für die Funktion, Zuverlässigkeit und Qualität der damit aufgebauten Produkte von entscheidender Bedeutung. Um die Funktion der getesteten Bauteile in Bezug auf die maximal erreichbare Verarbeitungsgeschwindigkeit bzw. Taktrate oder Frequenz und Zeitgenauigkeit (Timing) zu erfassen, müssen die IC-Tester (Beispiel siehe Bild 1) eine hohe Präzision in der Stimuli- und Auswertefrequenz einhalten und gleichzeitig sehr hohe Anforderungen an die zeitliche Genauigkeit der Signale und Abläufe erfüllen (OTA, Overall Timing Accuracy).

Mit Hilfe von verschiedenen, innerhalb des Testsystems realisierten Hardware- und Software-Optionen konnten die meisten marktüblichen IC-Test-

Die steigende Komplexität und Verarbeitungsgeschwindigkeit der integrierten Schaltkreise (Integrated Circuits, ICs) ist ein seit Jahrzehnten anhaltender Trend. Er stellt eine der wichtigsten Voraussetzungen für die forcierte technische Weiterentwicklung von elektronischen Systemen dar. Die Anwendung der adapterlosen Flying-Probe zur Absicherung von Funktion, Qualität und einer Verkürzung der Time-to-Market bei der IC-Fertigung ist von Infineon in Zusammenarbeit mit Siemens und SPEA bei mehreren äußerst komplexen DUT-Boards mit Erfolg durchgeführt worden, wobei man auch noch einige wichtige Anforderungen an solche Prüfsysteme abgeleitet hat.

ter bis in die 90er Jahre diese Forderung im Großen und Ganzen zufriedenstellend einhalten. Zu diesen Funktionen und Optionen gehören beispielsweise einstellbare Verzögerungselemente im Picosekunden-Bereich für jeden einzelnen Timingpfad, Autokalibration der AC- und DC-Parameter usw. Mit dem Vordringen der maximalen Taktraten bzw. Betriebsfrequenz der getesteten Bauteile in den GHz-Bereich musste dieser Lösungsansatz jedoch immer häufiger aufgegeben werden. Stattdessen werden nun in der Regel mit BIST und DUT- bzw. Loadboard zwei Lösungswege verfolgt, deren Technik außerhalb des Testers zu finden ist. Hierbei handelt es sich um bauteilspezifische Ansätze.

Verlagerung der Testvektorgenerierung (a)

vom Tester (Pin-Memory, algorithmische Patterngeneratoren sowie die Generierung des Timings in der DUT, Device under Test), siehe auch Bilder 2 und 3. Eine Vielzahl von sogenannten Selbsttestmethoden (BIST, Built-in-Selftest) ist heute bekannt. Solch eine im IC implementierte BIST-Routine stimuliert auf Anstoß des Testequipments direkt innerhalb des Bausteins die funktionalen Einheiten und erzeugt als Ergebnis ein Signatur-Signal. Bei

Abweichung dieser Ist-Signatur von der Soll-Signatur wird dies dem Tester als Fehler gemeldet. Der Vorteil dieser Methode besteht in einem geringeren Aufwand für die Testprogrammerstellung und einer eventuell höheren Prüfgenaugkeit. BIST-Routinen werden insbesondere bei der Kontrolle regelmäßiger Strukturen wie Speicherzellen angewendet. Vorausgesetzt wird dabei die Einhaltung entsprechender Regeln für ein Design for Testability (DFT) während der IC-Entwicklung, die dafür sorgen, dass nicht nur der notwendige Funktionsumfang im Baustein implementiert ist, sondern dass auch die Überwachung und Einhaltung der AC- und DC-Parameter nicht mehr im Testsystem, sondern im IC erfolgen. Die Anforderungen an das Testsystem bezüglich der maximalen Frequenz, Genauigkeit und die Zahl der Testvektoren, die während der Prüfung zu erzeugen sind, werden somit erheblich geringer. Allerdings, sowohl die Entwicklungskosten als auch der Anteil der (beim späteren Einsatz) redundanten Funktionen auf dem Chip steigen. Ebenso kann die Spezifikation des Bauteils (beispielsweise Laufzeitverhalten der Speicherelemente) negativ beeinträchtigt werden.

Verlagerung der kritischen Funktionen (b)

vom Tester auf das DUT-Board (Bild 4). Beispielsweise kann in einer Aktivelektronik die Taktrate

am DUT-Board für kritische Pins mittels Pin-Multiplexing erhöht werden. Neben der unter (b) erwähnten Begründung für die Erweiterung des DUT-Boards mit aktiver Elektronik gibt es noch weitere bauteilspezifische Maßnahmen, die entweder die Unzulänglichkeit des Testsystems kompensieren oder die Wirtschaftlichkeit der meistens sehr kostenintensiven Tester mit Hilfe von Durchsatzserhöhung verbessern. Beispielsweise kann ein 64-Pin-Tester mit einem 1:4-Demultiplexer 4 Bauteile mit jeweils 64 Pins nacheinander testen. Ohne weitere zahlreiche Begründungen für die funktionale Aufwertung von DUT-Boards zu behandeln, können wir bereits an dieser Stelle auf die relevanten Folgerungen hinweisen:

- Die ursprüngliche Funktion eines DUT-Boards wird aufgewertet, so von einer verhältnismäßig einfachen Verbindung oder Adaptierung zwischen hochkomplexem Testsystem und einem vergleichbar komplexen DUT zu einem System, das Signale verarbeitet und präzise überwacht.
- Die vorher meist direkte galvanische Verbindung zwischen einer Vielzahl von Testerpins (Größenordnung 100 bis 1000) und den DUT-Pins wird durch die Einführung der aktiven Elektronik unterbrochen und deshalb wesentlich komplexer. Insbesondere mit Blick auf den wichtigen Prozessschritt „Inbetriebnahme und Prüfung des ersten ICs“ haben diese Umstände sehr hohe Relevanz. Dieser Schritt beinhaltet unter anderem auch die Evaluierung der IC-Spezifikation und setzt eine

einwandfreie Funktion folgender Systeme voraus: IC-Tester, Testprogramm (zum ersten Mal in Betrieb), DUT-Board mit aktiver Elektronik (zum ersten Mal in Betrieb) und Baustein (zum ersten Mal in Betrieb).

Die Absicherung der Qualität und Verifikation der Funktionen von DUT-Boards mit Aktivelektronik im Vergleich mit unbestückten oder nur in geringem Umfang bestückten DUT-Boards erhält im Hinblick auf die Qualität der damit geprüften ICs sowie die Time-to-Market sehr hohe Relevanz. Bei unbestückten DUT-Boards ist auf jeden Fall ein Bareboard-Test zur Verifikation ausreichend. Doch durch die Bestückung der DUT-Boards mit komplexen Funktionen steigt die Fehlerwahrscheinlichkeit. Dies trägt sowohl zu einem höheren Aufwand bei der Vorbereitung der Serienfertigung bei als auch zu eventuell ungünstigen Einflüssen auf die Qualität und die Time-to-Market in der IC-Fertigung. Hier sei auch noch erwähnt, dass bei DUT-Boards mit Aktivelektronik die Möglichkeit der IC-Testprogramme für die Überwachung der DUT-Funktion und insbesondere die Diagnosefähigkeit für die nicht mehr zugänglichen Netze am DUT-Board stark abnimmt.

Aus den bisherigen Betrachtungen der veränderten Funktion der DUT-Boards beim IC-Test folgt direkt die Forderung nach einem weiteren Verifikationsschritt, nämlich der vorhergehenden Prüfung der DUT-Boards vor ihrem ersten Einsatz. Ja und welche Testmethode kommt dafür in Frage?



Bild 4: DUT-Board der Infineon AG

Durch die Implementierung von Aktivelektronik steigt die Zahl der Netze häufig von der ursprünglichen Größenordnung 1000 auf etwa 3000. Erwartungsgemäß existiert für circa 2000 Netze kein direkter Zugang und somit keine einfache Verifikationsmöglichkeit durch IC-Tester. Bedingt durch relativ kleine Stückzahlen der DUT-Boards (etwa 10) und die sehr hohe Netzzahl, erscheint auch ein In-Circuit-Test (ICT in Verbindung mit Nadeladapter) unwirtschaftlich und technisch umständlich. Im Gegensatz dazu bietet sich die Anwendung der Flying-Probe mit ihrem Test ohne Adapter (Bild 5) als zusätzlicher Schritt zur Absicherung

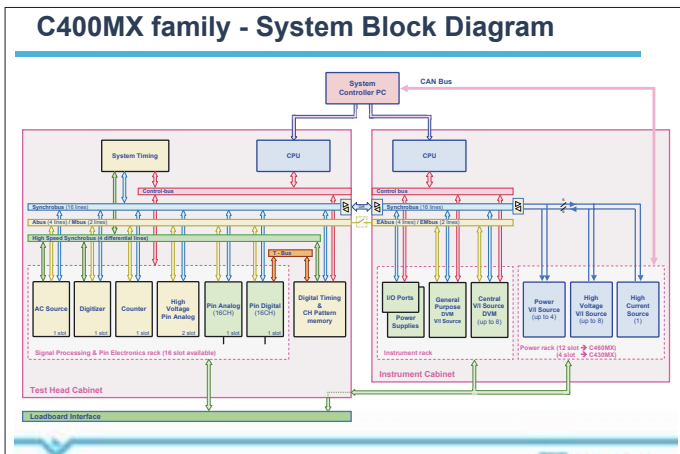


Bild 2: Beispiel für eine hardware-konfigurierbare Pinelektronik – Digitalbereich mit Pattern-RAM, Formatter und TMU (Time Measurement Unit). Jeder Digital-Pin ist mit einer analogen PMU (Parametric Measurement Unit, 4-Quadrant V/I Source) ausgerüstet (SPEA)

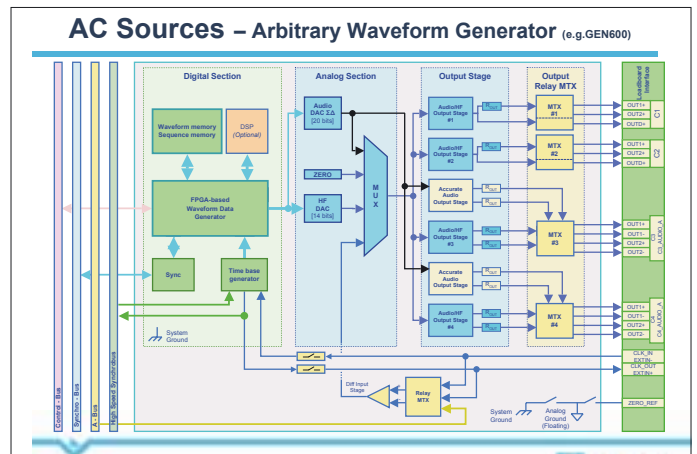


Bild 3: Beispiel für eine moderne Testsystem-Instrumentierung – hier ein arbiträrer Wellenformgenerator als Quelle von AC-Signalen (SPEA)

von Funktion, Qualität sowie einer deutlichen Verkürzung der Time-to-Market bei der IC-Fertigung an. Die Infineon AG in Zusammenarbeit mit Siemens AG und SPEA GmbH (Hersteller von Testsystemen für IC- und Boardtest) hat dieses Verfahren bei mehreren hochkomplexen DUT-Boards mit Erfolg erprobt und einige weitere Anforderungen an Flying-Probe-Prüfungen daraus abgeleitet.

Mögliche Fehler

Neben den bekannten „harten“ Fertigungsfehlern wie Short (Kurzschluß), IC-Open, falsche Werte für R, L, C und verpolte Dioden sollten insbesondere die für die hohe AC- und DC-Messgenauigkeit beim IC-Test wesentlichen Parameter kontrolliert werden. Mit Hilfe von Hochohmprüfungen der relevanten Verbindungen kann eine ausreichende Genauigkeit der Leckstrom-Kontrolle für die späteren IC-Tests in der Serienfertigung abgesichert werden. Die minimale Varianz sowie ein exaktes Einhalten der Werte wie Wellenwiderstand, Leitungskapazität und Leitungslaufzeit sind für die Spezifikation von AC-Tests ausschlaggebend. Alle

diese Parameter können durch Toleranzen von geometrischen Abmessungen wie Leitungslänge, Leiterplattendicke usw. erheblich vom Soll-Wert abweichen. Bei der Entwicklung und Herstellung von DUT-Boards stehen jedoch meist nicht die absoluten Werte im Vordergrund, sondern die Einhaltung sehr geringer Streuungen zwischen bestimmten Leitungsgruppen bzw. unterschiedlichen DUT-Boards.

Nettest erfasst genau Leitungsparameter

Im Gegensatz zum ICT kann mit Flying-Probe eine sehr geringe Messvarianz für alle Messpunkte realisiert werden. Um dies zu erreichen, sollte nur eine Nadel (und nicht wie üblich 3 oder 4) für die Netzkontaktierung sowie eine Nadel für GND-Kontaktierung (Masse) verwendet werden. Damit verhält sich der Offset-Fehler für RCL-Messungen in einem identischen Bereich und auch die Wertdifferenz für alle Netze und Parameter ist transparent. Mit der schon seit mehreren Jahre verfügbaren Option Nettest (NTZ) für die Flying-Probe SPEA 4040 wird durch die Messung der Netzeigenschaften (RCD-Verhalten zwischen Net und GND) die Testzeit sehr verkürzt [1]. Dieses Prüfverfahren sichert ebenfalls, begünstigt durch dazu passende Erweiterung der Hardware (DSP-Messeinheit), eine verbesserte Testabdeckung der Netzparameter. Bedingt durch die relativ geringen Stückzahlen von DUT-Boards steht in diesem Fall die Eigenschaft der Testzeitreduzierung mit dem Nettest nicht im Vordergrund. Die genaue Erfassung der RCD-Eigenschaften für alle Netze ist allerdings beim DUT-Board-Test unabdingbar.

Traceability im DUT-Board-Test

Typischerweise wird ein IC-Typ an weltweit mehreren Standorten gefertigt. Im Idealfall sind die Go/No-Go-Aussagen bei allen Fertigungs-

standorten und somit bei allen Testsystemen identisch. Eine Gegenüberstellung bzw. Kontrolle der verschiedenen Fertigungsstandorte kann über den Vergleich der Ausbeute (Yield) und in kritischen Fällen nach Bedarf auch mit Hilfe von Korrelations-tests realisiert werden. Bei signifikanten Abweichungen zwischen verschiedenen Testsystemen bzw. Standorten stellt sich auch die Frage nach eventuellen Differenzen der DUT-Boards untereinander. Deshalb ist eine Speicherung der Messwerte beim Flying-Probe-Verfahren vorteilhaft. Für ein DUT-Board mit 3000 Netzen und 3 Messwerten je Netz ergibt sich eine Größenordnung von insgesamt 10000 einzelnen Messdaten. Wegen der relativ großen Datenmenge ist ein selektives Vorgehen erforderlich. So sollte ein Vergleich der DUT-Boards für ein bestimmtes Testobjekt (z.B. Netz oder Bauteil) möglich sein. Jederzeit während der späteren IC-Serienfertigung (auch über mehrere Jahre) können die DUT-Boards in Bezug auf die Ergebnisse zum Zeitpunkt unmittelbar nach Fertigungsbeginn verglichen werden. Dies adressiert zunächst die Vergleichbarkeit der Boards untereinander. Ein immer wichtiger werdender Punkt ist die Vergleichbarkeit von mehreren Messstellen auf dem gleichen Board. Nachdem modernes Handlerequipment inzwischen Paralleltests mit 4, 8, 16 Bausteinen und auch darüber hinaus ermöglicht, muss das dazu passende Interfaceboard zwischen Tester und Handler die gleiche Zahl von Prüfsockeln aufweisen. Über das Design der Boards muss hierbei sichergestellt werden, dass für alle Prüfsockel die gleichen Bedingungen herrschen. Damit wird vermieden, dass es eine Ausbeute gibt, die vom jeweiligen Prüfsockel abhängig ist.

IC-Fertigung: Qualität und Wirtschaftlichkeit

Die Qualität und Wirtschaftlichkeit der IC-Fertigung steht unter anderem auch in einem engen Zusammenhang mit dem IC-Test (und somit auch mit der Qualität der verwendeten DUT-Boards). Folgende Größen bestimmen quantitativ diesen Zusammenhang:

- **YL (Yield Loss)** repräsentiert den Anteil der fehlerfreien Bauteile, die durch die Unzulänglichkeit des IC-Tests jedoch als fehlerhaft dargestellt werden. Durch diesen Effekt wird die Qualität der gelieferten Bauteile nicht reduziert, aber die Ausbeute mi-



Bild 5: Flying-Probe SPEA 4040 Multimode

niiert und damit die Fertigungskosten erhöht.

- **PDL (Product Defect Level – devices shipped)** erfasst den Anteil der fehlerhaften Bauteile, die jedoch als fehlerfrei den IC-Test verlassen und somit zur Lieferung an die Kunden freigegeben werden. PDL stellt somit direkt eine Größe zur Bestimmung der Qualität von ausgelieferten Bauteilen dar.

Die ideale Bedingung für ICs wird mit $YL=0$ und $PDL=0$ beschrieben. In der Praxis sind jedoch die Vollständigkeit der Testprogramme und die Testgenauigkeit maßgebende Parameter für die Größen YL und PDL . Weil ein DUT-Board mit Aktivelektronik sozusagen den „verlängerten Arm“ des Testers bildet, hängt meist die hieraus resultierende Genauigkeit der Prüfergebnisse nicht nur von der Testergenauigkeit ab, sondern auch von der Qualität des DUT-Boards. Ein „harter“ Fehler am DUT-Board kann natürlich zum Totalausfall der Testfunktion führen. Der Anwender ist in diesem Fall gezwungen, den oder die Fehler zu suchen und diese Defekte dann zu beseitigen. Erschwerend kommt hinzu, dass in der ersten Phase der Fertigung bzw. beim Anlauf der Produktion außer dem DUT-Board auch noch das Prüfobjekt selbst sowie das Testprogramm als Fehlerverursacher in Frage kommen.

Literatur

- [1] Antun Vuksic und Uwe Winkler: Genauigkeit und Bedeutung von Kapazitätsmessungen beim Flying Probe Test. Test Guide/Design & Verification 2004/2005
- [2] Antun Vuksic und E. Pavlik: Wie genau testen Tester? Elektronik 25, 1997

Solch ein Defekt kann zu einer relativ schwierig messtechnischen Erfassung von Verschiebungen der AC- bzw. DC-Genauigkeit führen. Dazu ein Beispiel: Die OTA (Overall Timing Accuracy) wird von 100 ps auf 500 ps verschlechtert, die Voltage Measurement Accuracy von 10 mV auf 50 mV verschoben. Beide Effekte können zu einem deutlichen Anstieg vom YL und PDL führen, ohne dass diese Erscheinung mit einfachen messtechnischen Mitteln quantitativ eindeutig erfassbar wäre. Sinkende Wirtschaftlichkeit der Fertigung und eine ernst zu nehmende Unzufriedenheit der Kunden – verursacht durch die unzureichende IC-Qualität – wären die unerwünschten Folgen und führen zudem zu schwer berechenbaren Verlusten.

Ein weiterer wichtiger Aspekt ist die umgehende Verfügbarkeit von fehlerfreien DUT-Boards für die Ramp-Up-Phase, also der zunehmenden Stückzahlen eines ICs bei Fertigungsbeginn. In der ersten Phase des IC-Lebenszyklus hat ein Testingenieur die Aufgabe, ein fehlerfreies Testpackage an die Produktion zu übergeben. Dazu gehört auch das Debugging der ersten DUT-Boards oder Probecards. Anschließend während des Ramp-Up der IC-Fertigung müssen eine Reihe von fehlerfreien und elektrisch weitestgehend identischen DUT-Boards hergestellt werden, mit denen der Hochlauf der Stückzahlen abgesichert wird, verteilt über mehrere Testzellen bzw. Standorte.

In dieser Start-Phase ist ein langwieriger Debugvorgang für DUT-Boards oder Probecards in der Produktionsumgebung generell nicht akzeptabel.

Weil die Testhardware zudem immer in der Größenordnung von Prototypen liegt, ist es abhängig von der Komplexität nicht immer möglich, auf Anhieb an die Kunden völlig fehlerfreie Hardware auszuliefern. In dieser Situation hat sich die Prüfung mit der Flying-Probe bestens bewährt. Sie ermöglicht, einen hohen Prozentsatz der potentiellen Fertigungsdefekte an den Loadboards klar zu diagnostizieren, die dann natürlich vor der Applikation an den verschiedenen IC-Produktionsstandorten zweifelsfrei behoben werden.

Korrelation von Netttest und DUT-Specs

Der strukturelle Test mit Flying-Probe und Netttest (Nzt) zielt in erster Linie auf die Erkennung von Fehlern bei den relativ einfachen Prüfobjekten (Zweipole, Relais, Netze, usw.) mit Hilfe von zwei, drei oder vier Probekontaktierungen. Somit ist im Fehlerfall auch eine direkte und schnelle Diagnose des Defekts und somit Abhilfe möglich. Im normalen Betrieb des IC-Testers ist jedoch die Lage wesentlich komplizierter. An jedem Testschritt, der ja eventuell nur wenige Nanosekunden dauert, sind bereits folgende Funktionseinheiten beteiligt: IC-Testprogramm, Stimuli/Auswertemodule des Testers, Timing-Generatoren des Testers, DUT-Board (eventuell mit Aktivelektronik) sowie natürlich der IC (Device under Test).

Insbesondere bei der ersten Evaluierung aus der IC-Fertigung ist die Zahl der möglichen Fehlerquellen mithin sehr hoch und überlappt sich. So gehören zu den Unsicherheitsfaktoren das Prüfprogramm, die DUT sowie das Loadboard. Mit nachfolgendem Beispiel lässt sich der Unterschied der einzelnen Schwierigkeitsgrade zwischen den Fehlerauswirkungen im System sowie bei der Prüfung mit Flying-Probe verdeutlichen.

So beträgt beispielsweise am DUT-Board der Wert eines seriellen Widerstands 150 Ohm statt 50 Ohm. Dieser Widerstand befindet sich am Anfang einer Leitung mit dem Wellenwiderstand $Z=50$ Ohm und einer Leitungskapazität $C=30$ pF. Bei der Signalübertragung dieser Leitung beträgt die daraus resultierende Zeitkonstante $T=R \times C=(50 \text{ Ohm}) \times (30 \text{ pF})=1,5 \text{ ns}$

Im Fehlerfall beträgt diese Zeitkonstante $(150 \text{ Ohm}) \times (30 \text{ pF})=4,5 \text{ ns}$. Ob und wie weit sich dieser Fehler im Testbetrieb bemerkbar macht oder eventuell auch nicht, ist zunächst nicht klar. Denkbar sind jedoch folgende Fälle:

Die Leitung mit der Widerstands-Abweichung ist statisch bzw. in einer DC-Umgebung, so dass praktisch keine Folgeauswirkungen im Testbetrieb und somit auch keine Folgeschäden entstehen.

Ist die betroffene Leitung aber zeitkritisch (z.B. erfolgt die Zeitabfrage in einem Fenster von $\pm 0,5$ ns). Diese Störung hat also systematische Eigenschaften, so dass die Fehlersuche und Diagnose (im Gesamtsystem) zwingend notwendig ist. Entsprechend zur Komplexität des Gesamtsystems sind sowohl die Dauer als auch die resultierenden Kosten unverhältnismäßig höher als wenn – im Vergleich dazu – die Prüfung per Flying-Probe erfolgt.

Die Zeitverschiebung von rund 3 ns führt nicht systematisch zu Fehlermeldungen (Abfrage beispielsweise im Zeitfenster von ± 5 ns), so dass dieser Fehler zunächst keine „sichtbaren“ Probleme mit sich bringt. Die Verschiebung der Signalzeitlage von 3 ns im Testbetrieb hat allerdings einen erheblichen Einfluss auf die Werte YL und PDL : Die Zahl

der fehlerhaften (aber als „gut“ gemeldeten) und ausgelieferten Bauteile steigt. Ebenso werden auch gute Bauteile als „fehlerhaft“ gekennzeichnet. Die Verschlechterung sowohl der IC-Qualität einerseits als auch die Kostensteigerung in der Produktion andererseits sind die Folgen, die zunächst nicht direkt auffallen.

Insbesondere die Fehler am DUT-Board, die das Zeitverhalten im Testbetrieb verändern, wiegen schwer in ihren Folgen. Wie wichtig die Einhaltung der exakten Zeitparameter ist, zeigt die Tatsache, dass moderne Tester mit Hilfe von aufwändigen Timing-Kalibrationen im Bereich von ± 200 ps präzise funktionieren müssen, um die höchsten Applikationsansprüche von „schnellen“ Bauteilen mit hoher Taktrate zu erfüllen. Im Gegensatz zur Prüfung mit Flying-Probe sind die Kosten für die Fehlersuche im Testbetrieb umso höher, je geringer der Fehlerbetrag bzw. die fehlerhafte Zeitverschiebung ist. Als ein weiteres Beispiel für die Auswirkungen von unterschiedlichen Zeitverhalten der DUT-Boards nennen wir noch den möglichen Einfluss des DUT-Wellenwiderstands auf das Übertragungsverhalten und die Laufzeiten der digitalen Impulse und Daten. Mit Hilfe von sehr genauen Kapazitäts-Messungen für alle Netze wird mit der Flying-Probe auch hier die direkte Korrelation zwischen Soll- und Ist-Verhalten kontrolliert und unerlaubte Abweichungen klar gemeldet.

Vorteile und Ausblick

Die Fertigung von modernen Halbleitern stellt im Backend hohe Anforderungen an die Verarbeitungsgeschwindigkeit und Genauigkeit der Testsysteme. Diese können in vielen Fällen nur mit Hilfe von BIST-Techniken oder funktional aktiven DUT-Boards erfüllt werden. Das Risiko einer reduzierten Qualität und Zuverlässigkeit bei der Anwendung von aktiven DUT-Boards (im Vergleich zu Loadboards ohne aktive Elektronik) steigt. Begründet durch fundierte technische und wirtschaftliche Betrachtungen wurde daraus die Notwendigkeit für eine zusätzliche Prüfung dieser DUT-Boards abgeleitet. Flying-Probe-Tester mit der Option Netttest (Nzt) offerieren hier eine weitgehend optimale Lösung. In diese Produktkategorie gehören außer komplexen DUT-Boards weiterhin auch hochwertige Baugruppen, gefertigt in kleiner bis unterer mittlerer Stückzahl und sehr hohen Anforderungen in puncto HF-Verhalten und DC-Genauigkeit. Im Gegensatz zum In-Circuit-Test kann die Prüfung mit Flying-Probe einschließlich einer Netttest-Option mit wesentlich höherer Genauigkeit bei der Erfassung der Netzparameter glänzen. Denn hierbei benötigt man keine große Zahl von Messpfaden (im ICT realisiert mit Nadelbettadaptern). In diversen optimalen Fällen, wie bei der DUT-Board-Prüfung, können alle Messungen sogar mit nur einem Nadelpaar (2 Kontakten) realisiert werden. Die komplexe Prozesskette der Halbleiterfertigung von IC-Design, Fertigung, Testprogramm, Chip-Tester, DUT-Board, IC, Produktaggregation und Einsatz beim Anwender wird signifikant verbessert. Insbesondere in der äußerst kritischen Anfangsphase der Evaluierung und Fertigung von ICs ergeben sich unübersehbare Vorteile, sowohl in der Bauteilqualität, Ausbeute (Yield), Korrelierbarkeit der Ergebnisse von unterschiedlichen Fertigungseinrichtungen, Time-to-Market und schließlich den Fertigungskosten insgesamt. (gbw)

electronica, A1.225

www.siplace.de & www.spea-ate.de